

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-124067

(43)公開日 平成6年(1994)5月6日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G	3/20	J	7335-5G	
	3/36		7319-5G	
H 0 3 M	1/66	B	9065-5J	
		A	9065-5J	
H 0 4 N	5/66	1 0 2 B	9068-5C	

審査請求 未請求 請求項の数7(全 9 頁)

(21)出願番号 特願平4-298228

(22)出願日 平成4年(1992)10月12日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 南崎 浩徳

神奈川県川崎市幸区堀川町580番1号 東

芝半導体システム技術センター内

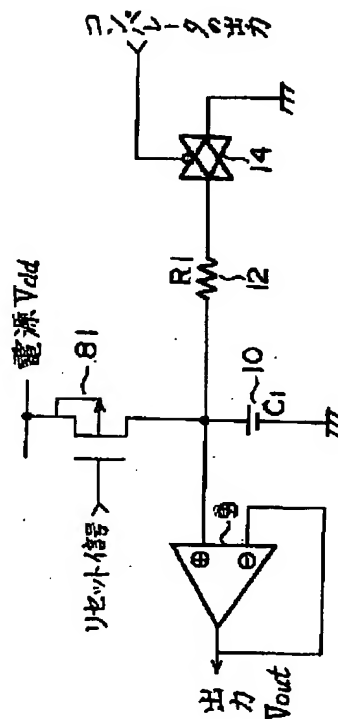
(74)代理人 弁理士 竹村 壽

(54)【発明の名称】 表示装置用駆動装置及びその駆動回路及びD/A変換器

(57)【要約】

【目的】 多階調表示が可能な表示装置の駆動装置及びその駆動回路とこれに用いるD/A変換器を提供する。

【構成】 データドライバ及びゲートドライバによって表示装置は駆動され、データドライバは、入力されたデジタル画像信号をDA変換して振幅変調されたアナログ信号を表示装置の信号電極に送り出す。リセット信号を動作させると、電源とキャパシタC1 10間に設けたトランジスタ81がオンして電源から電荷がC1へ供給され、C1が電源電圧Vddまでチャージアップされる。この状態でアナログスイッチ14を開き、コンパレータの出力を受入れると、その出力のパルス幅に対応する時間だけ14は開かれる。そして、14が開いている時間だけC1から放電され、ついで、14が閉じると、C1の電位が、所定の表示装置の信号電極に入力される電位Vddに定まる。



(2)

【特許請求の範囲】

【請求項1】 入力したデジタル画像信号を格納する記憶手段と、
前記記憶手段に格納されたデジタル画像信号を時間量に変換する手段と、
前記時間量に変換する手段の出力を時間量に対応した所定の電圧に設定する手段と、
前記所定の電圧に設定する手段によって設定された所定の電圧を表示装置の信号電極に供給することによって前記表示装置を駆動する手段とを備えていることを特徴とする表示装置用駆動装置。

【請求項2】 入力したデジタル画像信号を格納するデジタル画像信号記憶回路と、
前記デジタル画像信号記憶回路に格納されたデジタル画像信号を所定の出力電圧に変換するD/A変換出力回路とを備え、前記D/A変換出力回路は、前記デジタル画像信号を時間量に変換する回路及び前記時間量に対応した前記所定の出力電圧を設定する回路を有する事の特徴とする表示装置用駆動回路。

【請求項3】 前記デジタル画像信号を時間量に変換する回路は、カウンタ回路と、前記デジタル画像信号記憶回路の出力を前記カウンタ回路の出力と比較して、このデジタル画像信号記憶回路の出力をパルス幅の長短に変換するコンパレータ回路とを有することを特徴とする請求項2に記載の表示装置用駆動回路。

【請求項4】 前記時間量に対応した所定の出力電圧を設定する回路は、最終出力段の出力を供給するキャパシタの電位を初期状態に設定する回路と、このキャパシタを前記時間量に対応した量だけ放電させることにより、キャパシタの電位を所定の出力電圧に設定する回路とを備えていることを特徴とする請求項2又は請求項3に記載の表示装置用駆動回路。

【請求項5】 前記時間量に対応した所定の出力電圧を設定する回路は、電源と、この電源によって電源電圧にチャージアップされるキャパシタと、前記電源と前記キャパシタの間に挿入され、リセット信号で操作されるスイッチと、前記キャパシタに接続され、入力する信号のパルス幅に対応した時間だけ開くことによって前記キャパシタを放電させるアナログスイッチと、前記キャパシタから供給される前記放電によって設定された所定の出力電圧を表示装置に出力する最終出力段とを備えていることを特徴とする請求項2乃至請求項4のいずれかに記載の表示装置用駆動回路。

【請求項6】 前記時間量に対応した所定の出力電圧を設定する回路は、電源と、この電源によって電源電圧にチャージアップされる第1及び第2のキャパシタと、前記電源と前記第1及び第2のキャパシタの間に挿入され、リセット回路と、前記第1のキャパシタに接続され、入力する信号のパルス幅に対応した時間だけ開くことによって前記第1のキャパシタを放電させる第1のア

ナログスイッチと、前記第2のキャパシタに接続され、入力する信号のパルス幅に対応した時間だけ開くことによって前記第2のキャパシタを放電させる第2のアナログスイッチと、前記第1及び第2のアナログスイッチに接続された選択回路と、前記第1又は第2のキャパシタから供給される前記放電によって設定された所定の出力電圧を表示装置に出力する最終出力段とを備え、前記リセット回路は、リセット信号と選択信号とでリセット操作を行い、前記選択回路は、前記コンパレータ回路の出力と前記選択信号とで第1及び第2のアナログスイッチのいずれかを開き、一方のキャパシタが放電し、所定の出力電圧を最終出力段に供給している間に他方のキャパシタは、前記リセット回路によってリセットされることを特徴とする請求項2乃至請求項4のいずれかに記載の表示装置用駆動回路。

【請求項7】 電源と、

この電源によって電源電圧にチャージアップされるキャパシタと、
前記電源と前記キャパシタの間に接続され、リセット信号で操作されるスイッチと、
前記キャパシタに接続され、入力するデジタル信号のパルス幅に対応した時間だけ開くことによって前記キャパシタの電荷を放電させるアナログスイッチと、
前記放電によって前記キャパシタに設定された所定の出力電圧を出力する最終出力段とを備えていることを特徴とするD/A変換器。

【発明の詳細な説明】

【産業上の利用分野】

【0001】本発明は、マトリクス型液晶表示装置などの表示装置用駆動装置、駆動回路及びこの駆動装置に用いるデジタルーアナログ変換器（D/A変換器）構造に関するものである。

【0002】

【従来の技術】表示装置、例えば、マトリクス状に配置された複数の液晶などからなる画素及びこれらの画素に接続された複数の信号電極を有するマトリクス型表示装置の駆動装置では、従来アナログ画像信号を入力信号として用いていた。クロックに従ってアナログ画像信号をサンプリングし、マトリクス状に配列された画素に表示を行うのであるが、カラー画像表示の様に複数のアナログ画像信号供給用バスラインが設けられている場合には、バスラインにおける遅延を含む駆動回路内の遅延が避けられないことから、アナログ画像信号に対するサンプリング位置の精度を確保することは困難である。この様に表示装置の駆動システム内で生ずる遅延及び周波特性の劣化に起因する画像の位置表示のずれ、画像の滲みなどは、従来のアナログ画像信号サンプリング方式の駆動装置では避けられないことである。そこで、デジタル画像信号が利用されるようになってきた。デジタル画像信号を所定の複数のレベルの直流電圧信号のいずれかに変

(3)

3

換し、この直流電圧信号を表示装置の信号電極に送出するものである。この表示装置用駆動装置は、処理の大半をデジタル信号で行うので、駆動回路内の各部の動作を確実に同期させることができる。したがって、駆動回路内で生じる遅延などによる画像の表示位置のずれや画像の滲みなどを抑制できて画像の表示精度や表示品位が向上する。

【0003】図2は、マトリクス型液晶表示装置とこの液晶表示装置を駆動するためのデジタル画像信号を利用した駆動装置の概略ブロック図である。表示装置5は液晶などの画素53がマトリクス状に配置されて液晶パネルを構成しており、画素53は、例えば、スイッチング素子であるTFT(Thin Film Transistor)54によって駆動される。液晶パネルは平行に配列された n 本の画素電極51(Y_0 、 Y_1 、 Y_2 ・・・ Y_{n-1})とこの画素電極51に直交して平行に配列している m 本の信号電極52(X_0 、 X_1 、 X_2 ・・・ X_{m-1})を備えている。画素電極51と信号電極52との交点に近接して画素53を駆動する前記TFT54が設けられている。TFT54のゲートは、画素電極51に接続され、そのソース/ドレインは、信号電極52及び画素53に接続されている。表示装置5は、データドライバ、ゲートドライバ及びコントロール回路を含む駆動回路によって駆動される。データドライバは、信号電極52に接続され、ゲートドライバは、画素電極51に接続されている。

【0004】データドライバは入力されるデジタル画像信号をデジタル-アナログ変換(以下、DA変換という)して振幅変調されたアナログ信号を形成し、そのアナログ信号を信号電極52に送出するものであり、アップダウンカウンタ(U/Dカウンタ)部1、ラッチ回路31及びメモリ回路32を備えたデジタル画像信号記憶回路部3、データデコード回路20、レベルシフト回路21及びD/A変換出力回路部4を備えている。ゲートドライバは、画素電極51に順次走査パルスを出力する。ゲートドライバ及びデータドライバに入力されるクロック信号などの制御信号は、コントロール回路から与えられる。

【0005】図8を参照してデータドライバを説明する。U/Dカウンタ部1は、アップダウンカウンタとデコードを有し、アップダウンカウンタには増加方向のカウント又は減少方向のカウントを指定するU/D信号及びカウント動作をさせるクロック信号など制御信号が入力される。アップダウンカウンタの出力は、デコードによってデコードされる。U/Dカウンタ部1をシフトレジスタで構成することもできる。この表示装置はカラー表示を例にしており、R信号、G信号及びB信号が、それぞれ4ビットのデータ $R_0 \sim R_3$ 、 $G_0 \sim G_3$ 及び $B_0 \sim B_3$ として入力される。入力されるデジタル画像信号は、デジタル画像信号記憶回路部3に格納される。デジタル画像信号記憶回路部3は、ラッチ回路31とメモ

4

リ回路32を備えている。ラッチ回路31にラッチされた後、U/Dカウンタ部1のデコードの出力に従って、メモリ回路32の所定の記憶ユニットに格納される。一定量のデジタル画像信号が、メモリ回路32に格納された後、メモリ回路32のデータはデータデコード回路20に並列に与えられる。ラッチ回路31とメモリ回路32は、それぞれ異なるRメモリ、Gメモリ、Bメモリなどの回路を構成し、それぞれの回路はその種類に応じた信号を受け入れている。

【0006】データデコード回路20の出力は、レベルシフト回路21を介してD/A変換出力回路部4に与えられる。D/A変換出力回路部4には、この従来例においては、それぞれレベルの異なる16段階の直流電圧信号 $V_0 \sim V_{15}$ が直流電圧発生回路(図示せず)から与えられている。この電圧信号のレベルは、信号 V_{15} から信号 V_0 に向かって順に高くなっている。ここで、デジタル画像信号がメモリ回路32を出てからD/A変換出力回路部4で処理されるまでのブロック図をR信号を参照して図9に示す。データデコード回路20には、4ビットのラッチ回路201とデコード202が設けられており、メモリ回路32からR信号のいずれかがこのラッチ回路201にラッチされ、デコード202によってデコードされる。デコードの各反転出力端子0～15の出力は、各R信号の内容に応じてその内の1個がLレベルとなり、他は、Hレベルとなり、レベルシフト回路21のレベルシフトによってそれぞれレベル変換される。ここでは、例えば、出力端子3がLレベルとなる。アップダウンカウンタ、ラッチ回路及びデータデコード回路は、 $V_{cc}=5V$ 、 $V_{ss}=0V$ の電源電圧で動作する論理回路であるが、表示装置5を駆動するためには、通常論理回路の電源電圧より高い電圧が必要になるので、このようなレベル変換が必要である。

【0007】D/A変換出力回路部4では、与えられている直流電圧信号 $V_0 \sim V_{15}$ と出力端との間にアナログゲートAG0～AG15がそれぞれ設けられている。このアナログゲートにはレベルシフトの反転出力がそれぞれ印加されており、この印加電圧が、Hレベルの時には導通状態になる。デコードの例えば端子3の出力がLレベルであると、レベルシフト213の出力がHレベルとなり、アナログゲートAG3が導通し、4番目のレベルを有する直流電圧信号 V_3 がR信号として信号電極52に送り出される。各信号電極52に対応するデータデコード回路20、レベルシフト回路21及びD/A変換出力回路部4の各部分が平行して同様に動作する。このような入力デジタル画像信号を利用する表示装置の駆動回路においては、メモリ回路は、少なくとも1水平走査分の画像信号を記憶することができるので、記憶されたデジタル画像信号のD/A変換は、次ぎの水平走査期間を利用して比較的低速で行うことができる。

【0008】

(4)

5

【発明が解決しようとする課題】図8に示すように、従来のデジタル画像信号を用いる場合、R信号、G信号、B信号ともに4ビットで表現されている。4ビットデータを用いる場合は、第3図に示すように、直流電圧発生回路からレベルの異なる16段階の直流電圧信号V0～V15が信号電極52に与えられることになる。これは、画素を駆動する、例えば、5Vの直流電圧を16段階の高さの異なるレベルに分け、所定のレベルの直流電圧信号によって表示装置の画像パネルの画像の濃淡を表わすものである。16段階で画像の濃淡を表わすことを16階調といい、3ビットデータなら8階調であり、6ビットデータなら64階調、8ビットデータなら256階調で表わされる。表示する濃淡の数が増えるほど画像の表現が豊かになることは当然であるが、この数が増えるにしたがって信号線や外部より供給する電源の数が増加し、そのうえ、その電源を選択するスイッチの数が増加する(図9参照)。この事は表示装置の駆動回路が形成されている半導体チップの面積が大きくなって小形化ができず、さらに、コストアップとなることをしめている。

【0009】市場の要求が64階調や256階調と多階調が求められている中で、前述した従来技術では16階調が限度であり、多階調を必要とする表示装置の高画質化には十分対応できないのが現状である。本発明はこのような事情により成されたものであり、多階調表示が可能な表示装置の駆動装置及びその駆動回路及びこれに用いるD/A変換装置を提供することを目的としている。

【0010】

【課題を解決するための手段】本発明は、入力されるデジタル画像信号を時間量に変換してこの時間量に対応した所定の電圧を形成してアナログ信号とし、マトリクス状に画素が配列され、平行する複数の信号電極がこの画素に接続されている液晶、エレクトロルミネッセンス

(EL)、プラズマディスプレイ、蛍光表示管等の表示装置に出力することを特徴としている。すなわち、本発明の表示装置用駆動装置は、入力したデジタル画像信号を格納する記憶手段と、前記記憶手段に格納されたデジタル画像信号を時間量に変換する手段と、前記時間量に変換する手段の出力を時間量に対応した所定の電圧に設定する手段と、前記所定の電圧に設定する手段によって設定された所定の電圧を表示装置の信号電極に供給することによって前記表示装置を駆動する手段とを備えていることを特徴としている。

【0011】本発明の表示装置用駆動回路は、入力したデジタル画像信号を格納するデジタル画像信号記憶回路と、前記デジタル画像信号記憶回路に格納されたデジタル画像信号を所定の出力電圧に変換するD/A変換出力回路とを備え、前記D/A変換出力回路は、前記デジタル画像信号を時間量に変換する回路及び前記時間量に対応した前記所定の出力電圧を設定する回路を有すること

6

を特徴としている。前記デジタル画像信号を時間量に変換する回路はカウンタ回路と、前記デジタル画像信号記憶回路の出力を前記カウンタ回路の出力と比較して、このデジタル画像信号記憶回路の出力をパルス幅の長短に変換するコンパレータ回路とを有する。前記時間量に対応した所定の出力電圧を設定する回路は、最終出力段の出力を供給するキャパシタの電位を初期状態に設定する回路と、このキャパシタを前記時間量に対応した量だけ放電させることにより、キャパシタの電位を所定の出力電圧に設定する回路とを備えている。

【0012】前記時間量に対応した所定の出力電圧を設定する回路は、電源と、この電源によって電源電圧にチャージアップされるキャパシタと、前記電源と前記キャパシタの間に挿入され、リセット信号で操作されるスイッチと、前記キャパシタに接続され、入力する信号のパルス幅に対応した時間だけ開くことによって前記キャパシタを放電させるアナログスイッチと、前記キャパシタから供給される前記放電によって設定された所定の出力電圧を表示装置に出力する最終出力段とを備えている。また前記時間量に対応した所定の出力電圧を設定する回路は電源と、この電源によって電源電圧にチャージアップされる第1及び第2のキャパシタと、前記電源と前記第1及び第2のキャパシタの間に挿入され、リセット回路と、前記第1のキャパシタに接続され、入力する信号のパルス幅に対応した時間だけ開くことによって前記第1のキャパシタを放電させる第1のアナログスイッチと、前記第2のキャパシタに接続され、かつ、入力する信号のパルス幅に対応した時間だけ開くことによって前記第2のキャパシタを放電させる第2のアナログスイッチと、前記第1及び第2のアナログスイッチに接続された選択回路と、前記第1又は第2のキャパシタから供給される前記放電によって設定された所定の出力電圧を表示装置に出力する最終出力段とを備え、前記リセット回路は、リセット信号と選択信号とでリセット操作を行い、前記選択回路は前記コンパレータ回路の出力と前記選択信号とで第1及び第2のアナログスイッチのいずれかを開き、一方のキャパシタが放電し、所定の出力電圧を最終出力段に供給している間に他方のキャパシタは、前記リセット回路によってリセットされている。

【0013】本発明のD/A変換器は、電源と、この電源によって電源電圧にチャージアップされるキャパシタと、前記電源と前記キャパシタの間に接続され、リセット信号で操作されるスイッチと、前記キャパシタに接続され、入力するデジタル信号のパルス幅に対応した時間だけ開くことによって前記キャパシタの電荷を放電させるアナログスイッチと、前記放電によって前記キャパシタに設定された所定の出力電圧を出力する最終出力段とを備えていることを特徴としている。

【0014】

【作用】表示装置の信号電極に入力されるデジタル画像

(5)

7

信号を時間量に変換し、この時間量に対応した所定の電圧を前記信号電極に出力することにより、電位レベルの異なる複数の電源をこの駆動回路に組込む必要がなくなるので、駆動装置が小さくなると共に多階調の駆動回路が得られる。

【0015】

【実施例】以下、図面を参照して本発明の実施例を説明する。図1は、本発明の表示装置用駆動装置に係る第1の実施例の駆動回路に用いるD/A変換出力回路図である。図2は、この駆動回路を、例えば、液晶パネルを用いた表示装置に接続した概略ブロック図であり、図3は、デジタル画像信号がアナログ信号に変換されて表示装置に出力されるまでを説明するブロック図であり、図4は、前記駆動回路のXドライバ部分を示す概略ブロック図である。図2はマトリクス型液晶表示装置とこの表示装置を駆動するためのデジタル画像信号を利用した駆動装置の概略ブロック図である。表示装置5は、液晶からなる画素53がマトリクス状に配置されて液晶パネルを構成しており、画素53は、例えば、スイッチング素子であるTFT(Thin Film Transistor)54によって駆動される。液晶パネルは、平行に配列されたn本の画素電極51(Y_0 、 Y_1 、 Y_2 ・・・ Y_{n-1})とこの画素電極51に直交して平行に配列しているm本の信号電極52(X_0 、 X_1 、 X_2 ・・・ X_{m-1})を備えている。

【0016】画素電極51と信号電極52との交点に近接して画素53を駆動する前記TFT54が設けられている。TFT54のゲートは、画素電極51に接続され、ソース/ドレインは、信号電極52及び画素53に接続されている。この表示装置は従来の構造と同じであり、液晶装置のほかに、エレクトロルミネッセンス(EL)、プラズマディスプレイ、蛍光表示管などを用いることが出来る。この表示装置5は、図2に示すようにXドライバ、Yドライバ及びコントロール回路を含む駆動回路を有する駆動装置によって駆動される。Xドライバは、信号電極52に接続されYドライバは、画素電極51に接続されている。Xドライバは、入力されるデジタル画像信号をDA変換して振幅変調されたアナログ信号を形成し、そのアナログ信号を信号電極52に送出するものであり、アップダウンカウンタ(U/Dカウンタ)部1、第1のラッチ回路31及び第2のラッチ回路32を備えたデジタル画像信号記憶回路部3及びD/A変換出力回路部4を備えている(図4参照)。Yドライバは、画素電極51に順次走査パルスを出力する。Yドライバ及びXドライバに入力されるクロック信号などの制御信号は、コントロール回路から与えられる。

【0017】本発明は、表示装置用駆動装置に用いられる駆動回路に特徴があり、とくに、そのD/A変換出力回路部4が従来のものとは相違している。前述した従来の表示用駆動装置では、U/Dカウンタ1やデジタル画

8

像信号記憶回路部3が動作する動作電圧は、表示装置の液晶パネルを駆動する駆動電圧より低いので、データデコード回路20とD/A変換出力回路4との間にレベルシフト回路21を設けているが、この実施例では、表示装置の信号電極に供給される電圧もU/Dカウンタ部1などに供給される電圧も同じ電源電圧を用いるのでレベルシフト回路も不要になる。また、この実施例では、カラー表示に用いる場合でも、デジタル画像信号のR信号、G信号、B信号は、共に同じラッチ回路を順次利用し、前述した従来のように各信号に応じたメモリ回路を各個に用意することはしない。さらに、この実施例では、デジタル画像信号を送るために、従来では大型化て使用することができなかった6ビットデータを用いることができる。このデータを用いると64階調の濃淡が得られて従来より高画質化する。本発明では、8ビット以上でも良く、一層の高画質化が可能になる。

【0018】図3に示すように、本発明の表示装置の液晶などの表示パネルを表示するデジタル画像信号は、その駆動回路に入力(1)される。入力したデジタル画像信号は、デジタル画像信号を記憶するメモリ手段3に格納される(2)。また、デジタル画像信号のメモリ手段3に格納されているデジタル画像信号を時間量に変換する(3)。時間量に変換されたデジタル画像信号は、時間量に対応した所定の電圧に設定される(4)。さらに、所定の電圧は、表示装置に出力されて表示される(5)。(3)及び(4)は、D/A変換出力回路部4に含まれる。従来は、この所定の電圧を表示装置に供給するために異なる高さの所定の電圧を供給する電源を複数個用意しなければならなかったが、本発明では、入力したデジタル画像信号を時間量に変換し、この時間量にしたがって表示装置への入力電圧の高さを変えるので複数の電源を必要としない。

【0019】図4を参照して駆動回路のXドライバを説明する。図においてU/Dカウンタ部1は、アップダウンカウンタとデコードを備えている。アップダウンカウンタには増加方向のカウンタ又は減少方向のカウンタを指定するU/D信号及びカウンタ動作をさせるクロック信号など制御信号が入力される。アップダウンカウンタの出力は、デコードによってデコードされる。U/Dカウンタ部1をシフトレジスタで構成することもできる。カラー表示の場合は、R信号、G信号及びB信号が、それぞれ6ビットデータとして順次入力される。入力されるデジタル画像信号は、デジタル信号記憶回路部3に格納される。デジタル信号記憶回路部3は第1のラッチ回路31と第2のラッチ回路32を備えている。デジタル画像信号は、6ビットデータとして反転回路2を介して第1のラッチ回路31に順次ラッチされ、U/Dカウンタ部1のデコードの出力に従って第2のラッチ回路32の所定の記憶ユニットに格納される。一定量のデジタル画像信号が、第2のラッチ回路32に格納された後、第

(6)

9

2のラッチ回路32のデジタル画像信号のデジタルデータはコンパレータ41に送られ、カウンタ42からの出力と比較して、パルス幅の長短に変換する。

【0020】すなわち、デジタルデータをカウントしてこのデータのカウンタ数を算出し、このカウンタ数にしたがってデジタルデータのパルス幅を決める。このコンパレータ41の出力は、D/A変換出力回路43に送られる。デジタルデータのパルス幅が前述の時間量になり、このD/A変換出力回路43で時間量に対応した所定の電圧に変換され、表示装置5の信号電極52に出力される。本発明は、このD/A変換出力回路部4に特徴があり、この出力回路部4は、第2のラッチ回路32から送られてくるデジタルデータを受入れるコンパレータ41と、コンパレータ41に入力するデジタルデータをカウントするカウンタ42と、D/A変換出力回路43とを備えている。

【0021】図1を参照してD/A変換出力回路43を説明する。D/A変換出力回路43には、コンパレータ41の出力に接続されているアナログスイッチ14と、電源電圧V_{dd}が供給されるキャパシタC110と、キャパシタC110から供給される所定の電圧V_{out}を出力する増幅器9とを備えている。キャパシタC110は増幅器9の入力に接続し、アナログスイッチ14にも接続されている。また、キャパシタC110は電源にも接続され、その間にはリセット信号で動作するP型FETトランジスタ81が挿入されており、リセット信号を与えてトランジスタ81をオンにしてキャパシタC110を電源電圧V_{dd}までチャージアップ出来るようになってい

る。キャパシタC110にチャージした電荷は、アナログスイッチ14を介して放電されるようになっており、キャパシタC110とアナログスイッチ14との間には、抵抗R112が挿入されていて放電が調整されるようになっている。リセット信号を動作させると電源とキャパシタC110間に設けたトランジスタ81がオンして、電源から電荷がキャパシタC110へ供給され、キャパシタC110は、電源電圧V_{dd}までチャージアップされる。

【0022】この状態でアナログスイッチ14を開き、コンパレータ41の出力を受入れると、その出力のパルス幅に対応する時間だけアナログスイッチ14は開かれる。そして、アナログスイッチ14が開いている時間だけキャパシタC110から放電され、アナログスイッチ14が閉じると、キャパシタC110の電位が所定の電位V_{out}に定まる。次いで、この所定の電位V_{out}が増幅器9を介して出力される。即ち所定のパルス幅を持ったデジタル画像信号のデータは、そのパルス幅に対応した所定の電位V_{out}を持って表示装置5の信号電極52に入力される。本発明では、リセット信号により出力用キャパシタを一度チャージアップするので、出力が全ビット同時オンでも出力電位の変動がないという利点が生

10

ずる。図5は、第2の実施例のD/A変換出力回路を示す。前の例では、キャパシタC110の放電を調節するために抵抗R1が挿入されている。しかし、この実施例では、定電流源17をアナログスイッチ14とGNDの間に挿入し、この低電流源17でキャパシタC110の放電を行っている。出力回路の動作は抵抗を用いた場合に比較して線形性に優れた出力電位の設定が可能である。

【0023】図6は、第3の実施例のD/A変換出力回路である。第1及び第2の実施例の出力回路では、キャパシタC110から供給された所定の電位V_{out}を増幅器9から表示装置5の信号電極52を経て表示パネルを構成する画素53へ供給するが、キャパシタをチャージしてから放電後、またチャージしなければならない。この再度のチャージの期間中、画素への電位供給は中断されるので、例えば、画素が液晶などの場合には連続的な供給が必要なのにそれが不可能になる。そこでこの実施例では、このD/A変換出力回路43に2つのキャパシタを配置し、これを交互にチャージ放電を繰り返させて連続的に所定の電位を画素に供給している。つまり、一方のキャパシタが所定の電位を表示装置に供給している表示期間中においては、他方のキャパシタは所定の電位を設定するサンプリング期間にあるような状態に設定することによって電位の連続的な供給を可能にする。

【0024】図では、電源とキャパシタ間にスイッチング素子として、例えば、FETトランジスタ81、82が並列接続される。FETトランジスタ81には、キャパシタC110接続され、FETトランジスタ82には、キャパシタC211が接続されている。FETトランジスタ81のゲートはAND回路の出力に接続されている。AND回路の入力にはリセット信号と選択信号が入力される。また、FETトランジスタ82のゲートは、入力1つに反転器が接続されたAND回路の出力に接続されている。そして反転器の接続された入力には選択信号が入力し、他の入力にはリセット信号が入力する。2つのAND回路及び2つのFETトランジスタは、キャパシタC110及びキャパシタC211をチャージ状態にリセットするリセット回路8を構成している。キャパシタC110及びキャパシタC211は増幅器9の入力に接続され、その電位が増幅器9から出力されるようになっている。キャパシタC110にはアナログスイッチ14が接続されていて、キャパシタC110のチャージした電荷がこのアナログスイッチ14が開いている間放電するようになっている。キャパシタC110とアナログスイッチ14の間には抵抗R112が挿入されている。

【0025】キャパシタC211には、アナログスイッチ15が接続されていてキャパシタC211のチャージした電荷がこのアナログスイッチ14が開いている間放電するようになっている。キャパシタC211とアナロ

(7)

11

グスイッチ14の間には抵抗R2 13が挿入されている。このアナログスイッチ15は、AND回路の出力に接続されている。AND回路の入力にはコンパレータの出力と選択信号が入力される。また、アナログスイッチ14は、入力の1つに反転器が接続されたAND回路の出力に接続されている。そして、反転器の接続された入力には選択信号が入力し、他の入力には選択信号が入力する。2つのAND回路は、アナログスイッチ14、15のいずれかを開く選択回路16を構成している。以上がD/A変換出力回路部4のD/A変換出力回路43である。このD/A変換出力回路43のリセット回路8を動作させて、例えば、キャパシタC1 10を電源電圧V_{dd}までチャージアップする。チャージアップされたキャパシタC1 10に対し、選択回路16を動作させてコンパレータの出力のパルス幅の長さに等しい時間アナログスイッチ14を開くようにする。アナログスイッチ14が開いている時間量に相当する電荷がキャパシタC1 10から抵抗R1 12を介して放電され、キャパシタC1 10の電位が所定の値V_{out}に定まる。

【0026】そして、この所定の電位V_{out}は、増幅器9を介して出力されて表示装置5の画素53に入力し表示装置5が表示される。このキャパシタC1 10が表示動作を行っている間に、キャパシタC2 11は、リセットされ、チャージアップされる。そして、キャパシタC1 10が次にリセットされるときに、前記所定の電位V_{out}は、キャパシタC2 11から供給される。

【0027】次に、図7を参照して第4の実施例を説明する。図は、D/A変換出力回路を示す。これは、第3の実施例と同様に連続的に表示出力を供給する回路であり、抵抗に代えて定電流源を用いることに特徴がある。すなわち、前実施例ではキャパシタ10、11の放電を調節するために抵抗12、13が挿入されている。しかし、この実施例では、定電流源17をアナログスイッチ14とGNDの間に挿入し、定電流源18をアナログスイッチ15とGNDの間に挿入し、この低電流源17、18でキャパシタ10、11の放電を行っている。出力回路の動作は抵抗を用いた場合に比較して線形性に優れた出力電位の設定が可能である。以上の実施例において、電源のスイッチング素子には、P型FETトランジスタを使用した。このトランジスタに限るものではなく、バイポーラトランジスタやアナログスイッチなどスイッチ作用のあるものなら既存のどの様な素子でも用いることが出来る。

【0028】

【発明の効果】本発明は、以上のように複数の電源を用いることがないので、駆動回路を形成するチップを大きくする必要がなく、また、64階調又は256階調など

12

多階調表示が可能になる。さらに、リセットで出力用キャパシタを一度チャージアップするので、出力が全ビット同時オンでも出力電位の変動がない。

【図面の簡単な説明】

【図1】本発明の第1の実施例のD/A変換出力回路図。

【図2】本発明及び従来例の表示装置及びその駆動装置のブロック回路図

【図3】本発明の表示装置を駆動するシステムを説明するブロック図。

【図4】本発明の駆動回路のXドライバの概略ブロック図。

【図5】本発明の第2の実施例のD/A変換出力回路図。

【図6】本発明の第3の実施例のD/A変換出力回路図。

【図7】本発明の第4の実施例のD/A変換出力回路図。

【図8】従来の駆動回路のデータドライバの概略ブロック図。

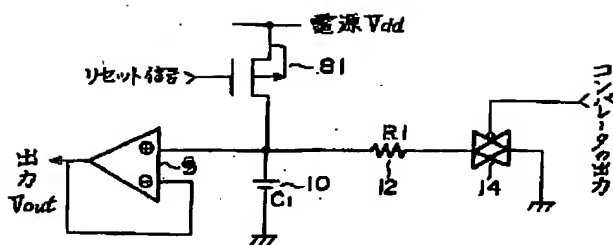
【図9】従来のデータドライバのD/A変換出力回路概略平面図。

【符号の説明】

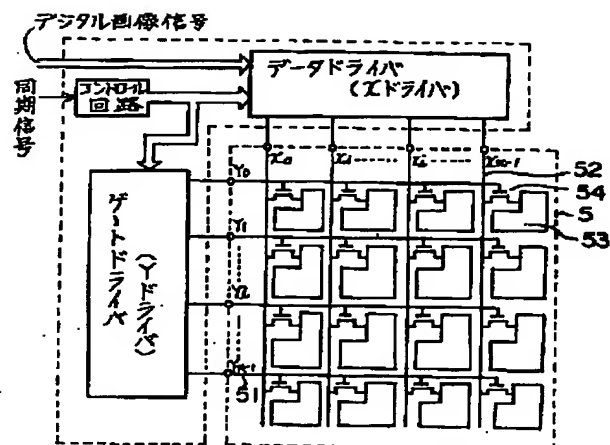
1	U/Dカウンタ部
2	反転回路
3	デジタル画像信号記憶回路部
4	D/A変換出力回路部
5	表示装置
8	リセット回路
9	増幅器
10、11	キャパシタ
12、13	抵抗
14、15	アナログスイッチ
16	選択回路
17、18	定電流源
20	データデコード回路
21	レベルシフト回路
31	第1のラッチ回路（ラッチ回路）
32	第2のラッチ回路（メモリ回路）
51	画素電極
52	信号電極
53	画素
54	TFT
81、82	P型FETトランジスタ
201	4ビットラッチ回路
202	デコーダ

(8)

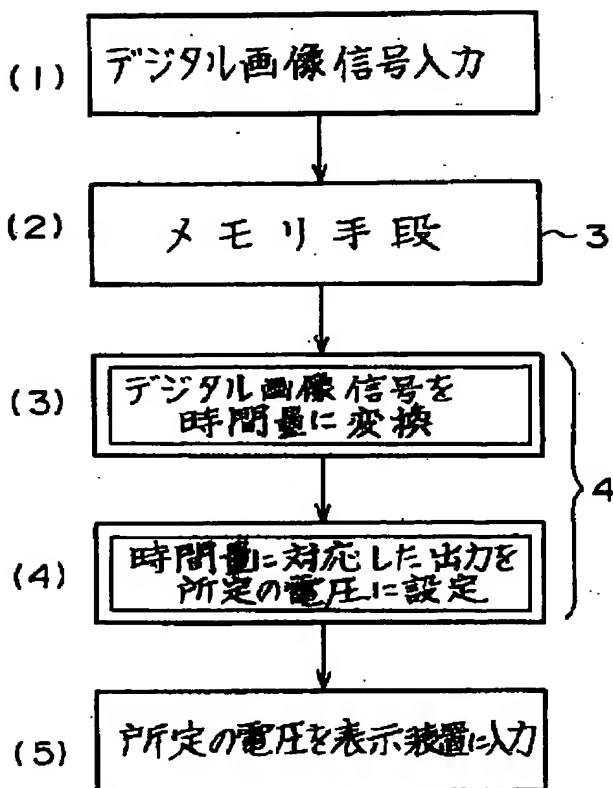
【図1】



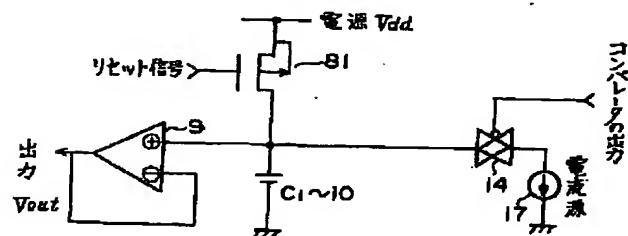
【図2】



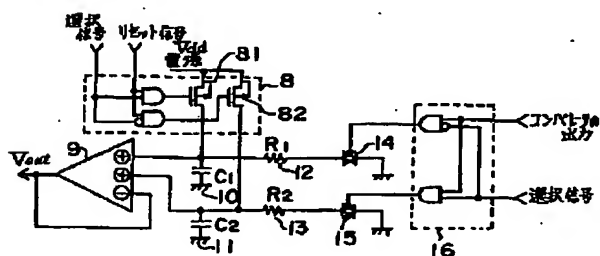
【図3】



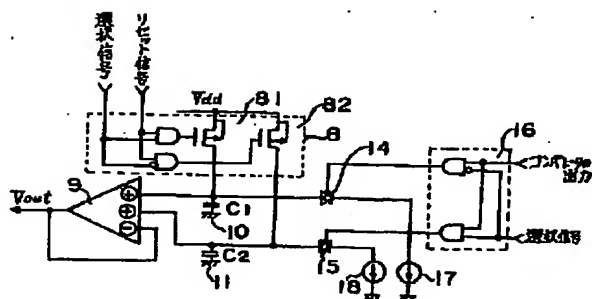
【図5】



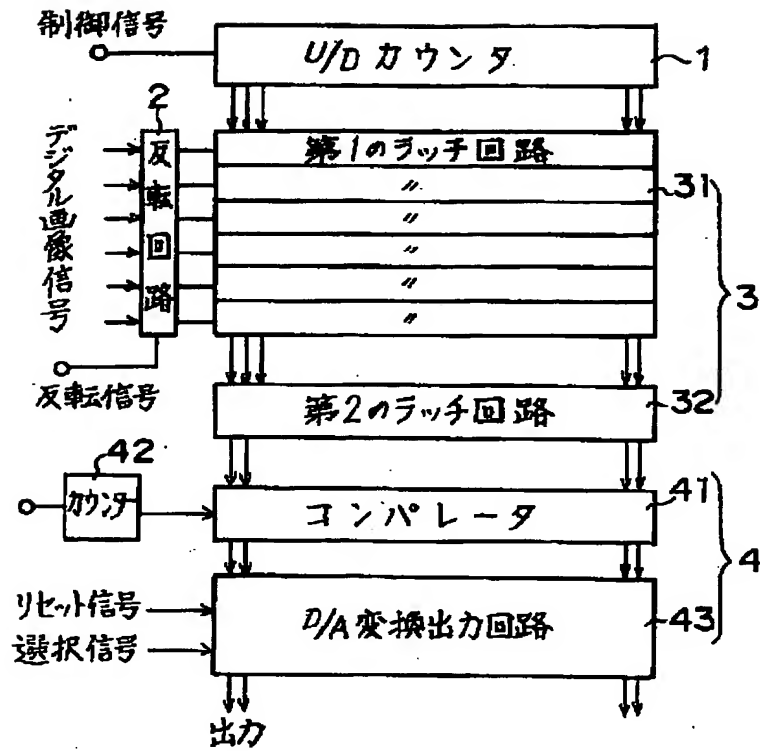
【図6】



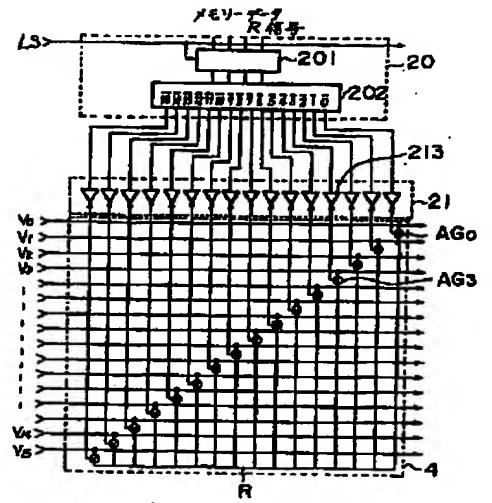
【図7】



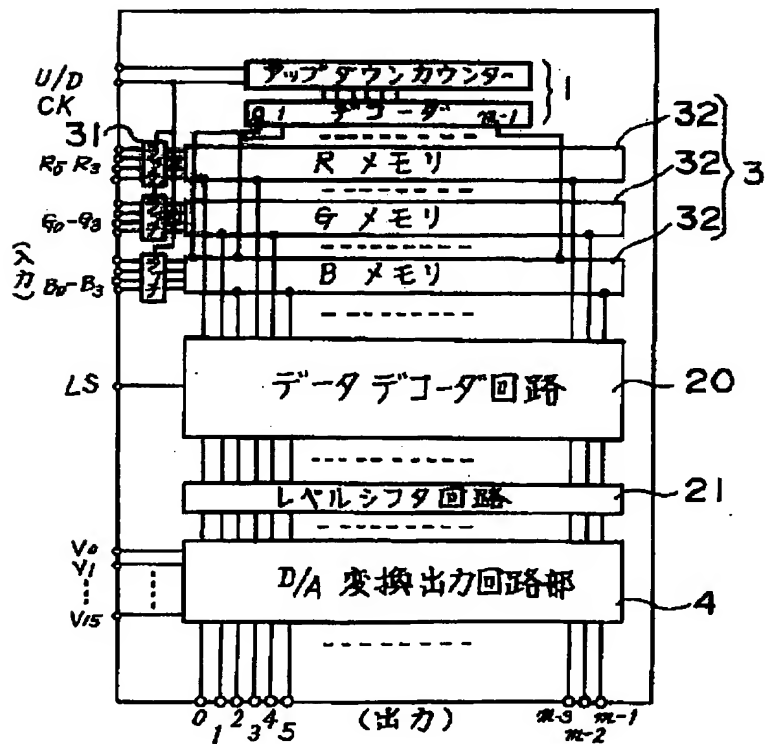
【図 4】



【図9】



【图8】



*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A storage means to store the inputted digital picture signal, and a means to change into the amount of time amount the digital picture signal stored in said storage means, A means to set the output of a means to change into said amount of time amount as the predetermined electrical potential difference corresponding to the amount of time amount, The driving gear for displays characterized by having a means to drive said display by supplying the predetermined electrical potential difference set up by means to set it as said predetermined electrical potential difference to the signal electrode of a display.

[Claim 2] It is the drive circuit for displays which is equipped with the digital picture signal store circuit which stores the inputted digital picture signal, and the D/A conversion output circuit which changes into predetermined output voltage the digital picture signal stored in said digital picture signal store circuit, and is characterized by said D/A conversion output circuit having the circuit which sets up said predetermined output voltage corresponding to the circuit which changes said digital picture signal into the amount of time amount, and said amount of time amount.

[Claim 3] The circuit which changes said digital picture signal into the amount of time amount is a drive circuit for displays according to claim 2 characterized by having a counter circuit and the comparator circuit which changes the output of this digital picture signal store circuit into the merits and demerits of pulse width for the output of said digital picture signal store circuit as compared with the output of said counter circuit.

[Claim 4] The circuit which sets up the predetermined output voltage corresponding to said amount of time amount is a drive circuit for displays according to claim 2 or 3 characterized by having the circuit which sets the potential of the capacitor which supplies the output of a final output stage as an initial state, and the circuit which sets

the potential of a capacitor as predetermined output voltage when only the amount corresponding to said amount of time amount makes this capacitor discharge.

[Claim 5] The circuit which sets up the predetermined output voltage corresponding to said amount of time amount A power source and the capacitor in which the charge up is carried out to supply voltage by this power source, The switch which is inserted between said power sources and said capacitors, and is operated by the reset signal, The analog switch which makes said capacitor discharge by opening only the time amount corresponding to the pulse width of the signal which connects with said capacitor and is inputted, The drive circuit for displays according to claim 2 to 4 characterized by having the final output stage which outputs to a display the predetermined output voltage set up by said discharge supplied from said capacitor.

[Claim 6] The circuit which sets up the predetermined output voltage corresponding to said amount of time amount A power source and the 1st and 2nd capacitors in which the charge up is carried out to supply voltage by this power source, It is inserted between said power source and said 1st and 2nd capacitors. A reset circuit, The 1st analog switch which makes said 1st capacitor discharge by opening only the time amount corresponding to the pulse width of the signal which connects with said 1st capacitor and is inputted, The 2nd analog switch which makes said 2nd capacitor discharge by opening only the time amount corresponding to the pulse width of the signal which connects with said 2nd capacitor and is inputted, It has the selection circuitry connected to said 1st and 2nd analog switches, and the final output stage which outputs to a display the predetermined output voltage set up by said discharge supplied from said 1st or 2nd capacitor. Said reset circuit performs reset action with a reset signal and a selection signal. Said selection circuitry The output and said selection signal of said comparator circuit open either of the 1st and 2nd analog switches. It is the drive circuit for displays according to claim 2 to 4 characterized by the capacitor of, another side being reset by said reset circuit while one capacitor discharges and supplying predetermined output voltage to the final output stage.

[Claim 7] A power source and the capacitor in which the charge up is carried out to supply voltage by this power source, The switch which is connected with said power source between said capacitors, and is operated by the reset signal, The analog switch which makes the charge of said capacitor discharge by opening only the time amount corresponding to the pulse width of the digital signal which connects with said capacitor and is inputted, The D/A converter characterized by having the final output stage which outputs the predetermined output voltage set as said capacitor by said discharge.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[Industrial Application]

[0001] This invention relates to the digital-to-analog converter (DA converter) structure of using for the driving gear for indicating equipments, a drive circuit, and these driving gears, such as a matrix mold liquid crystal display.

[0002]

[Description of the Prior Art] In the driving gear of the matrix mold display which has two or more signal electrodes connected to the pixels which consist of a display, for example, two or more liquid crystal arranged in the shape of a matrix, and these pixels, the analog picture signal was conventionally used as an input signal. Although displayed on the pixel which sampled the analog picture signal according to the clock, and was arranged in the shape of a matrix, since the delay in a drive circuit including the delay in a bus line is not avoided when two or more bus lines for analog picture signal supply are prepared like the color picture display, it is difficult to secure the precision of the sampling position to an analog picture signal. Thus, a gap of the position representation of the image resulting from degradation of the delay and the cycle property which are produced within the drive system of a display, a blot of an image, etc. are not avoided in the driving gear of the conventional analog picture signal sampling method. Then, a digital picture signal has come to be used. A digital picture signal is changed into either of the direct-current-voltage signals of predetermined two or more level, and this direct-current-voltage signal is sent out to the signal electrode of a display. Since this driving gear for indicating equipments performs the great portion of processing with a digital signal, it can synchronize actuation of each part in a drive circuit certainly. Therefore, a gap of the display position of an image, a blot of an image, etc. by the delay produced in a drive circuit can be controlled, and the display precision and display grace of an image improve.

[0003] Drawing 2 is the outline block diagram of the driving gear using the digital picture signal for driving a matrix mold liquid crystal display and this liquid crystal display. The pixels 53, such as liquid crystal, are arranged in the shape of a matrix, and the display 5 constitutes the liquid crystal panel, and drives a pixel 53 by TFT (Thin Film Transistor) 54 which is a switching element. The liquid crystal panel is equipped with m signal electrodes 52 (X0, X1, and X2 ... X_{m-1}) which intersected perpendicularly with n pixel electrodes 51 (Y0, Y1, and Y2 ... Y_{n-1}) arranged in parallel and this pixel electrode 51, and have been arranged in parallel. Said TFT 54 which approaches the

intersection of the pixel electrode 51 and a signal electrode 52, and drives a pixel 53 is formed. The gate of TFT54 is connected to the pixel electrode 51, and its source/drain is connected to the signal electrode 52 and the pixel 53. An indicating equipment 5 is driven by the drive circuit containing a data driver, a gate driver, and a control circuit. A data driver is connected to a signal electrode 52, and the gate driver is connected to the pixel electrode 51.

[0004] A data driver forms the analog signal by which amplitude modulation was carried out by carrying out digital to analog (henceforth a DA translation) of the digital picture signal inputted, sends out the analog signal to a signal electrode 52, and is equipped with the digital picture signal store circuit section 3 equipped with the updown counter (U/D counter) section 1, the latch circuit 31, and the memory circuit 32, the data decoder circuit 20, the level-shifter circuit 21, and the D/A conversion output circuit section 4. A gate driver outputs a sequential-scanning pulse to the pixel electrode 51. Control signals, such as a clock signal inputted into a gate driver and a data driver, are given from a control circuit.

[0005] A data driver is explained with reference to drawing 8. The U/D counter section 1 has an updown counter and a decoder, and control signals, such as a clock signal to which the U/D signal and count actuation which specify the count of the increment direction or the count of the reduction direction are carried out, are inputted into an updown counter. The output of an updown counter is decoded by the decoder. The U/D counter section 1 can also consist of shift registers. This indicating equipment makes color display the example, and R signal, G signal, and B signal are data R0 - R3 [4-bit], and G0 - G3, respectively. And B0 - B3 It is inputted by carrying out. The digital picture signal inputted is stored in the digital picture signal store circuit section 3. The digital picture signal store circuit section 3 is equipped with the latch circuit 31 and the memory circuit 32. After being latched to a latch circuit 31, it is stored in the predetermined storage unit of a memory circuit 32 according to the output of the decoder of the U/D counter section 1. After the digital picture signal of a constant rate is stored in a memory circuit 32, the data of a memory circuit 32 are given to juxtaposition in the data decoder circuit 20. The latch circuit 31 and the memory circuit 32 constituted circuits, such as R memory different, respectively, G memory, and B memory, and each circuit has accepted the signal according to the class.

[0006] The output of the data decoder circuit 20 is given to the D/A conversion output circuit section 4 through the level-shifter circuit 21. In this conventional example, 16 steps of direct-current-voltage signal V0 - V15 from which level differs, respectively are given to the D/A conversion output circuit section 4 from the direct-current-voltage

generating circuit (not shown). The level of this voltage signal is a signal V15 to the signal V0. It goes and is high in order. Here, a block diagram after a digital picture signal comes out of a memory circuit 32 until it is processed in the D/A conversion output circuit section 4 is shown in drawing 9 with reference to R signal. The 4-bit latch circuit 201 and the decoder 202 are formed in the data decoder circuit 20, either of the R signals is latched to the latch circuit 201 of **** from a memory circuit 32, and it is decoded by the decoder 202. As for the output of each reversal output terminals 0-15 of a decoder, one of pieces [them] is set to L level according to the contents of R signals each, others serve as H level and a level conversion is carried out by the level shifter of the level-shifter circuit 21, respectively. Here, an output terminal 3 serves as L level, for example. Although an updown counter, a latch circuit, and a data decoder circuit are logical circuits which operate with the supply voltage of $V_{cc}=5V$ and $V_{ss}=0V$, since an electrical potential difference usually higher than the supply voltage of a logical circuit is needed in order to drive a display 5, they need such a level conversion.

[0007] In the D/A conversion output circuit section 4, analog gate AG0 -AG15 is formed between direct-current-voltage signal V0 -V15 and the outgoing ends which are given, respectively. The reversal output of a level shifter will be impressed to this analog gate, respectively, and this applied voltage will be in switch-on at the time of H level. L level [the output of a level shifter 213] becomes being the output of a decoder 3, for example, a terminal, with H level, and it is an analog gate AG3. Direct-current-voltage signal V3 which flows and has the 4th level It is sent out to a signal electrode 52 as an R signal. Each part of the data decoder circuit 20 corresponding to each signal electrode 52, the level-shifter circuit 21, and the D/A conversion output circuit section 4 is parallel, and it operates similarly. In the drive circuit of the display using such an input digital picture signal, since a memory circuit can memorize the picture signal for at least 1 horizontal scanning, D/A conversion of the memorized digital picture signal can be comparatively performed at a low speed using the next horizontal scanning period.

[0008]

[Problem(s) to be Solved by the Invention] As shown in drawing 8 , when using the conventional digital picture signal, R signal, G signal, and B signal are expressed by 4 bits. When using 4 bit data, as shown in Fig. 3, 16 steps of direct-current-voltage signal V0 -V15 from which level differs from a direct-current-voltage generating circuit will be given to a signal electrode 52. this is ** which drives a pixel, for example, divides the direct current voltage of 5V into the level from which 16 steps of height differs, and expresses the shade of the image of the image panel of a display with the direct-current-voltage signal of predetermined level. It is called 16 gradation to express

the shade of an image in 16 steps, if it is 3 bit data, it is 8 gradation, and it is expressed with 256 gradation, if it is 6 bit data and is 64 gradation and 8 bit data. Although the expression of an image naturally so becomes rich that the number of the shades to display increases, the number of the power sources supplied from a signal line or the exterior increases as this number increases, and, moreover, the number of the switches which choose that power source increases (refer to drawing 9). It is being shown that the area of the semiconductor chip with which the drive circuit of an indicating equipment is formed becomes large, the miniaturization of this thing is impossible and it serves as a cost rise further.

[0009] With the conventional technique which the demand of a commercial scene mentioned above while 64 gradation, 256 gradation, and multi-tone were called for, 16 gradation is a limit and the present condition is being unable to respond to high definition-ization of the display which needs multi-tone enough. This invention is accomplished according to such a situation, and it aims at offering the D/A inverter used for the driving gear of the display in which a multi-tone display is possible, its drive circuit, and this.

[0010]

[Means for Solving the Problem] This invention changes the digital picture signal inputted into the amount of time amount, forms the predetermined electrical potential difference corresponding to this amount of time amount, makes it an analog signal, and a pixel is arranged in the shape of a matrix, and it is characterized by outputting to displays; such as liquid crystal by which two or more parallel signal electrodes are connected to this pixel, electroluminescence (EL), a plasma display, and a fluorescent indicator tube. Namely, a storage means to store the digital picture signal which inputted the driving gear for indicating equipments of this invention, A means to change into the amount of time amount the digital picture signal stored in said storage means, It is characterized by having a means to drive said display by supplying the predetermined electrical potential difference set up by means to set the output of a means to change into said amount of time amount as the predetermined electrical potential difference corresponding to the amount of time amount, and means to set it as said predetermined electrical potential difference to the signal electrode of a display.

[0011] The drive circuit for indicating equipments of this invention is equipped with the digital picture signal store circuit which stores the inputted digital picture signal, and the D/A conversion output circuit which changes into predetermined output voltage the digital picture signal stored in said digital picture signal store circuit, and said D/A conversion output circuit is characterized by having the circuit which sets up said

predetermined output voltage corresponding to the circuit which changes said digital picture signal into the amount of time amount, and said amount of time amount. The circuit which changes said digital picture signal into the amount of time amount has a counter circuit and the comparator circuit which changes the output of this digital picture signal store circuit into the merits and demerits of pulse width for the output of said digital picture signal store circuit as compared with the output of said counter circuit. The circuit which sets up the predetermined output voltage corresponding to said amount of time amount is equipped with the circuit which sets the potential of the capacitor which supplies the output of a final output stage as an initial state, and the circuit which sets the potential of a capacitor as predetermined output voltage when only the amount corresponding to said amount of time amount makes this capacitor discharge.

[0012] The circuit which sets up the predetermined output voltage corresponding to said amount of time amount A power source and the capacitor in which the charge up is carried out to supply voltage by this power source, The switch which is inserted between said power sources and said capacitors, and is operated by the reset signal, The analog switch which makes said capacitor discharge by opening only the time amount corresponding to the pulse width of the signal which connects with said capacitor and is inputted, It has the final output stage which outputs to a display the predetermined output voltage set up by said discharge supplied from said capacitor. The circuit which sets up the predetermined output voltage corresponding to said amount of time amount Moreover, a power source, The 1st and 2nd capacitors in which the charge up is carried out to supply voltage by this power source, It is inserted between said power source and said 1st and 2nd capacitors. A reset circuit, The 1st analog switch which makes said 1st capacitor discharge by opening only the time amount corresponding to the pulse width of the signal which connects with said 1st capacitor and is inputted, The 2nd analog switch which makes said 2nd capacitor discharge by opening only the time amount corresponding to the pulse width of the signal which connects with said 2nd capacitor and is inputted, It has the selection circuitry connected to said 1st and 2nd analog switches, and the final output stage which outputs to a display the predetermined output voltage set up by said discharge supplied from said 1st or 2nd capacitor. Said reset circuit performs reset action with a reset signal and a selection signal. Said selection circuitry opens either of the 1st and 2nd analog switches with the output and said selection signal of said comparator circuit, one capacitor discharges, and while supplying predetermined output voltage to the final output stage, the capacitor of another side is reset by said reset circuit.

[0013] The capacitor with which the charge up of the D/A converter of this invention is carried out to supply voltage by a power source and this power source, The switch which is connected with said power source between said capacitors, and is operated by the reset signal, The analog switch which makes the charge of said capacitor discharge by opening only the time amount corresponding to the pulse width of the digital signal which connects with said capacitor and is inputted, It is characterized by having the final output stage which outputs the predetermined output voltage set as said capacitor by said discharge.

[0014]

[Function] Since the need of including two or more power sources from which potential level differs by changing into the amount of time amount the digital picture signal inputted into the signal electrode of an indicating equipment, and outputting the predetermined electrical potential difference corresponding to this amount of time amount to said signal electrode in this drive circuit is lost, while a driving gear becomes small, a multi-tone drive circuit is obtained.

[0015]

[Example] Hereafter, the example of this invention is explained with reference to a drawing. Drawing 1 is a D/A conversion output circuit Fig. used for the drive circuit of the 1st example concerning the driving gear for displays of this invention. Drawing 2 is the outline block diagram which connected this drive circuit to the indicating equipment which used the liquid crystal panel, drawing 3 is a block diagram which a digital picture signal is changed into an analog signal, and even explains being outputted to an indicating equipment, and drawing 4 is the outline block diagram showing X driver part of said drive circuit. Drawing 2 is the outline block diagram of the driving gear using the digital picture signal for driving a matrix mold liquid crystal display and this indicating equipment. The pixel 53 which consists of liquid crystal is arranged in the shape of a matrix, and the display 5 constitutes the liquid crystal panel, and drives a pixel 53 by TFT (Thin Film Transistor) 54 which is a switching element. The liquid crystal panel is equipped with m signal electrodes 52 (X0, X1, and X2 ... X_{m-1}) which intersected perpendicularly with n pixel electrodes 51 (Y0, Y1, and Y2 ... Y_{n-1}) arranged in parallel and this pixel electrode 51, and have been arranged in parallel.

[0016] Said TFT 54 which approaches the intersection of the pixel electrode 51 and a signal electrode 52, and drives a pixel 53 is formed. The gate of TFT 54 is connected to the pixel electrode 51, and the source/drain is connected to the signal electrode 52 and the pixel 53. This display is the same as the conventional structure, and can use electroluminescence (EL), a plasma display, a fluorescent indicator tube, etc. other than

liquid crystal equipment. This indicating equipment 5 is driven with the driving gear which has the drive circuit which contains X driver, Y driver, and a control circuit as shown in drawing 2 . X driver is connected to a signal electrode 52, and Y driver is connected to the pixel electrode 51. X driver forms the analog signal by which amplitude modulation was carried out by carrying out the DA translation of the digital picture signal inputted, sends out the analog signal to a signal electrode 52, and is equipped with the digital picture signal store circuit section 3 and the D/A conversion output circuit section 4 equipped with the updown counter (U/D counter) section 1, the 1st latch circuit 31, and the 2nd latch circuit 32 (refer to drawing 4). Y driver outputs a sequential-scanning pulse to the pixel electrode 51. Control signals, such as a clock signal inputted into Y driver and X driver, are given from a control circuit.

[0017] This invention has the description in the drive circuit used for the driving gear for displays, and the D/A conversion output circuit section 4 is different from the conventional thing especially. In the conventional driving gear for a display mentioned above, since the operating voltage to which the U/D counter 1 and the digital picture signal store circuit section 3 operate is lower than the driver voltage which drives the liquid crystal panel of an indicating equipment, the level-shifter circuit 21 has been formed between the data decoder circuit 20 and the D/A conversion output circuit 4, but in this example, since the supply voltage same also as the electrical potential difference supplied to the signal electrode of an indicating equipment and the electrical potential difference supplied to the U/D counter section 1 etc. is used, a level-shifter circuit also becomes unnecessary. Moreover, in this example, even when using for color display, both R signal of a digital picture signal, G signal, and B signal carry out sequential use of the same latch circuit, and do not carry out preparing the memory circuit according to each signal for each like before mentioned above. Furthermore, in this example, in order to send a digital picture signal, in the former, 6 bit data which were not able to carry out enlargement ***** can be used. If this data is used, the shade of 64 gradation will be obtained and it will high-definition-ize conventionally. In this invention, 8 bits or more are sufficient and much more high definition-ization is attained.

[0018] As shown in drawing 3 , the digital picture signal which displays display panels, such as liquid crystal of the indicating equipment of this invention, is inputted into the drive circuit (1). The inputted digital picture signal is stored in a memory means 3 to memorize a digital picture signal (2). Moreover, the digital picture signal stored in the memory means 3 of a digital picture signal is changed into the amount of time amount (3). The digital picture signal changed into the amount of time amount is set as the predetermined electrical potential difference corresponding to the amount of time

amount (4). Furthermore, a predetermined electrical potential difference is outputted and displayed on a display (5). (3) And (4) is contained in the D/A conversion output circuit section 4. Although two or more power sources which supply the predetermined electrical potential difference of height which is different in order to supply this predetermined electrical potential difference to a display conventionally had to be prepared, by this invention, the inputted digital picture signal is changed into the amount of time amount, and since the height of the input voltage to a display is changed according to this amount of time amount, two or more power sources are not needed.

[0019] X driver of a drive circuit is explained with reference to drawing 4. The U/D counter section 1 is equipped with the updown counter and the decoder in drawing. Control signals, such as a clock signal to which the U/D signal and count actuation which specify the count of the increment direction or the count of the reduction direction are carried out, are inputted into an updown counter. The output of an updown counter is decoded by the decoder. The U/D counter section 1 can also consist of shift registers. As for the case of color display, the sequential input of R signal, G signal, and the B signal is carried out as 6 bit data, respectively. The digital picture signal inputted is stored in the digital signal store circuit section 3. The digital signal store circuit section 3 is equipped with the 1st latch circuit 31 and 2nd latch circuit 32. A sequential latch is carried out through an inverter circuit 2 at the 1st latch circuit 31 as 6 bit data, and a digital picture signal is stored in the predetermined storage unit of the 2nd latch circuit 32 according to the output of the decoder of the U/D counter section 1. After the digital picture signal of a constant rate is stored in the 2nd latch circuit 32, the digital data of the digital picture signal of the 2nd latch circuit 32 is sent to a comparator 41, and is changed into the merits and demerits of pulse width as compared with the output from a counter 42.

[0020] That is, the number of counts of this data is computed by counting digital data, and the pulse width of digital data is decided according to this number of counts. The output of this comparator 41 is sent to the D/A conversion output circuit 43. The pulse width of digital data becomes the above-mentioned amount of time amount, is changed into the predetermined electrical potential difference corresponding to the amount of time amount in this D/A conversion output circuit 43, and is outputted to the signal electrode 52 of a display 5. This invention has the description in this D/A conversion output circuit section 4, and this output circuit section 4 is equipped with the comparator 41 which receives the digital data sent from the 2nd latch circuit 32, the counter 42 which counts the digital data inputted into a comparator 41, and the D/A conversion output circuit 43.

[0021] The D/A conversion output circuit 43 is explained with reference to drawing 1. Predetermined electrical potential difference V_{out} supplied to the D/A conversion output circuit 43 from the analog switch 14 connected to the output of a comparator 41, capacitor C1 10 to which supply voltage V_{dd} is supplied, and capacitor C1 10. It has the amplifier 9 to output. It connects with the input of an amplifier 9 and capacitor C1 10 are connected also to the analog switch 14. Moreover, it connects also with a power source and the P type FET transistor 81 which operates by the reset signal is inserted in the meantime, and capacitor C1 10 give a reset signal, they turn ON a transistor 81, and have come to be able to carry out the charge up of capacitor C1 10 to supply voltage V_{dd} . The charge charged to capacitor C1 10 discharges through an analog switch 14, resistance R1 12 are inserted between capacitor C1 10 and an analog switch 14, and discharge is adjusted to it. If a reset signal is operated, a power source and the transistor 81 prepared among capacitor C1 10 turn on, a charge is supplied to capacitor C1 10 from a power source, and the charge up of capacitor C1 10 is carried out to supply voltage V_{dd} .

[0022] If an analog switch 14 is opened in this condition and the output of a comparator 41 is accepted, as for an analog switch 14, only the time amount corresponding to the pulse width of that output will be opened. And if only the time amount which the analog switch 14 is opening discharges from capacitor C1 10 and an analog switch 14 closes it, the potential of capacitor C1 10 is the predetermined potential V_{out} . It becomes settled. Subsequently, this predetermined potential V_{out} It is outputted through amplifier 9. That is, the data of a digital picture signal with predetermined pulse width are the predetermined potential V_{out} corresponding to the pulse width. It has and is inputted into the signal electrode 52 of a display 5. In this invention, since the charge up of the capacitor for an output is once carried out by the reset signal, the advantage that fluctuation of output potential does not have an output in all bit coincidence ON arises. Drawing 5 shows the D/A conversion output circuit of the 2nd example. It is resistance R1 in order to adjust discharge of capacitor C1 10 in a front example. It is inserted. However, in this example, a constant current source 17 is inserted between an analog switch 14 and GND, and capacitor C1 10 are discharged in this source 17 of low current. A setup of the output potential which was excellent in linearity as compared with the case where resistance is used is possible for actuation of an output circuit.

[0023] Drawing 6 is the D/A conversion output circuit of the 3rd example. Predetermined potential V_{out} supplied from capacitor C1 10 in the output circuit of the 1st and 2nd examples Although the pixel 53 which constitutes a display panel from amplifier 9 through the signal electrode 52 of a display 5 is supplied, after charging a

capacitor, it must charge after discharge again. During the period of this charge for the second time, since the potential supply to a pixel is interrupted, although supply with a pixel continuous in the case of liquid crystal etc. is the need, it becomes impossible, for example. So, in this example, arrange two capacitors to this D/A conversion output circuit 43, charge-discharge is made to repeat this by turns, and predetermined potential is continuously supplied to the pixel. That is, the capacitor of another side enables continuous supply of potential by setting it as the condition that it is at the sampling period which sets up predetermined potential during the display period when one capacitor supplies predetermined potential to the display.

[0024] By a diagram, parallel connection of the FET transistors 81 and 82 is carried out as a switching element between a power source and a capacitor. It connects with the FET transistor 81 capacitor C1 10, and capacitor C2 11 are connected to the FET transistor 82. The gate of the FET transistor 81 is connected to the output of an AND circuit. A reset signal and a selection signal are inputted into the input of an AND circuit. Moreover, the gate of the FET transistor 82 is connected to the output of the AND circuit with which the inverter was connected to one of the inputs. And a selection signal inputs into the input to which the inverter was connected, and a reset signal inputs into other inputs. Two AND circuits and two FET transistors constitute the reset circuit 8 which resets capacitor C1 10 and capacitor C2 11 in the charge condition. Capacitor C1 10 and capacitor C2 11 are connected to the input of amplifier 9, and the potential is outputted from amplifier 9. The analog switch 14 is connected to capacitor C1 10, and the charge which capacitor C1 10 charged discharges, while this analog switch 14 is open. Resistance R1 12 are inserted between capacitor C1 10 and an analog switch 14.

[0025] In capacitor C2 11, the charge which the analog switch 15 is connected and capacitor C2 11 charged discharges, while this analog switch 14 is open. Resistance R2 13 are inserted between capacitor C2 11 and an analog switch 14. This analog switch 15 is connected to the output of an AND circuit. The output and selection signal of a comparator are inputted into the input of an AND circuit. Moreover, the analog switch 14 is connected to the output of the AND circuit with which the inverter was connected to one of the inputs. And a selection signal inputs into the input to which the inverter was connected, and a selection signal inputs into other inputs. Two AND circuits constitute the selection circuitry 16 which opens either of the analog switches 14 and 15. The above is the D/A conversion output circuit 43 of the D/A conversion output circuit section 4. The reset circuit 8 of this D/A conversion output circuit 43 is operated, for example, the charge up of capacitor C1 10 is carried out to supply voltage Vdd. To

capacitor C1 10 by which the charge up was carried out, a selection circuitry 16 is operated and the time amount analog switch 14 equal to the die length of the pulse width of the output of a comparator is opened. The charge equivalent to the amount of time amount which the analog switch 14 is opening discharges through capacitor C1 10 to resistance R1 12, and the potential of capacitor C1 10 is the predetermined value Vout. It becomes settled.

[0026] And this predetermined potential Vout It is outputted through amplifier 9, and inputs into the pixel 53 of a display 5, and a display 5 is displayed. While these capacitor C1 10 are performing the display action, the charge up of capacitor C2 11 is reset and carried out. And when capacitor C1 10 are reset next, it is said predetermined potential Vout. It is supplied from capacitor C2 11.

[0027] Next, the 4th example is explained with reference to drawing 7. Drawing shows a D/A conversion output circuit. This is a circuit which supplies a display output continuously like the 3rd example, and the description is to replace with resistance and use a constant current source. That is, in the last example, in order to adjust discharge of capacitors 10 and 11, resistance 12 and 13 is inserted. However, in this example, a constant current source 17 is inserted between an analog switch 14 and GND, a constant current source 18 is inserted between an analog switch 15 and GND, and capacitors 10 and 11 are discharged in these sources 17 and 18 of low current. A setup of the output potential which was excellent in linearity as compared with the case where resistance is used is possible for actuation of an output circuit. In the above example, although the P type FET transistor was used for the switching element of a power source, it does not restrict to this transistor, and if a bipolar transistor, an analog switch, etc. have a switch operation, it can use also with a component like the existing throat.

[0028]

[Effect of the Invention] Since two or more power sources are not used for this invention as mentioned above, it is not necessary to enlarge the chip which forms a drive circuit and, and a multi-tone display, such as 64 gradation or 256 gradation, is attained. Furthermore, since the charge up of the capacitor for an output is once carried out by reset, in all bit coincidence ON, an output does not have fluctuation of output potential.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The D/A conversion output circuit Fig. of the 1st example of this invention.

[Drawing 2] The indicating equipment of this invention and the conventional example,

and the block circuit diagram of the driving gear

[Drawing 3] The block diagram explaining the system which drives the indicating equipment of this invention.

[Drawing 4] The outline block diagram of X driver of the drive circuit of this invention.

[Drawing 5] The D/A conversion output circuit Fig. of the 2nd example of this invention.

[Drawing 6] The D/A conversion output circuit Fig. of the 3rd example of this invention.

[Drawing 7] The D/A conversion output circuit Fig. of the 4th example of this invention.

[Drawing 8] The outline block diagram of the data driver of the conventional drive circuit.

[Drawing 9] The D/A conversion output circuit outline top view of the conventional data driver.

[Description of Notations]

1 U/D Counter Section

2 Inverter Circuit

3 Digital Picture Signal Store Circuit Section

4 D/A Conversion Output Circuit Section

5 Display

8 Reset Circuit

9 Amplifier

10 11 Capacitor

12 13 Resistance

14 15 Analog switch

16 Selection Circuitry

17 18 Constant current source

20 Data Decoder Circuit

21 Level-Shifter Circuit

31 1st Latch Circuit (Latch Circuit)

32 2nd Latch Circuit (Memory Circuit)

51 Pixel Electrode

52 Signal Electrode

53 Pixel

54 TFT

81 82 P type FET transistor

201 4-Bit Latch Circuit

202 Decoder

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-124067

(43)Date of publication of application : 06.05.1994

(51)Int.Cl.

G09G 3/20

G09G 3/36

H03M 1/66

H04N 5/66

(21)Application number : 04-298228

(71)Applicant : TOSHIBA CORP

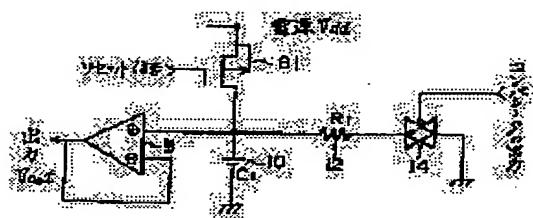
(22)Date of filing : 12.10.1992

(72)Inventor : NANZAKI HIRONORI

(54) DRIVING DEVICE FOR DISPLAY DEVICE AND ITS DRIVING CIRCUIT AND D/A CONVERTER**(57)Abstract:**

PURPOSE: To provide the driving device for the display device, which can make a gradational display, and its driving circuit and the D/A converter used for it.

CONSTITUTION: The display device is driven by a data driver and a gate driver, and the data driver converts an inputted digital image signal from digital to analog and sends an amplitude-modulated signal to a signal electrode of the display device. When a reset signal is put in operation, a transistor (TR) 81 provided between a power source and a capacitor C1 10 turns on to supply electric charges from the power source to the C1 10, which is charged up to the source voltage Vdd. In this state, an analog switch 14 is opened to receive the output of a comparator and then the switch 14 is opened for a time corresponding to the pulse width of the output. Then, the C1 10 is discharged only for the opening time of the switch 14 and when the switch 14 is closed, the potential of the C1 10 is fixed to the potential Vdd inputted to the signal electrode of the specific display device.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office